

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237584

(43)Date of publication of application : 23.08.2002

(51)Int.Cl. H01L 27/146
H04N 5/335

(21)Application number : 2001-031912 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

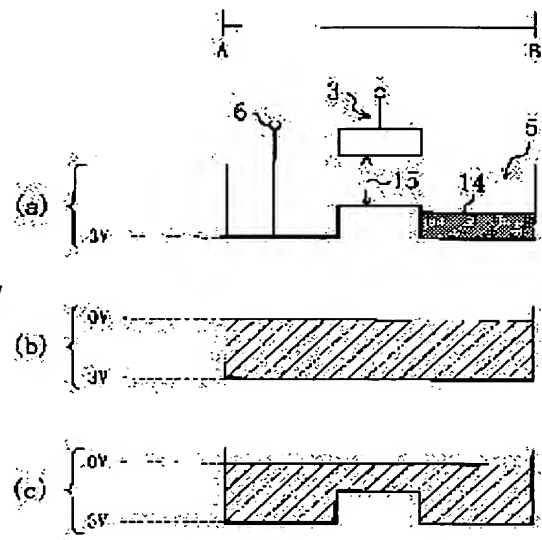
(22)Date of filing : 08.02.2001 (72)Inventor : YAMAGUCHI TAKUMI

(54) SOLID-STATE IMAGING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state imaging device of proper S/N by making a detection transistor in 'off' state stable by stabilizing an FD part, whose capacity is made small accompanying making pixels fine.

SOLUTION: A threshold voltage (V_t) of a reset transistor 3 between an FD part 5 and a power supply 6 is set lower than a LOW level voltage of the power supply 6, by making the transistor 3 a depression type. When the FD part 5 keeps a LOW level voltage, the LOW level voltage can always be supplied from the power supply 6 to the FD part 5.



LEGAL STATUS

[Date of request for examination] 17.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3628970

[Date of registration] 17.12.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-237584

(P2002-237584A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl.⁷

識別記号

F I

テマコード(参考)

H 0 1 L 27/146

H 0 4 N 5/335

E 4 M 1 1 8

H 0 4 N 5/335

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数10 O L (全 6 頁)

(21)出願番号 特願2001-31912(P2001-31912)

(22)出願日 平成13年2月8日(2001.2.8)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山口 琢己

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 DD12

FA06 FA08 FA34 FA42 FA50

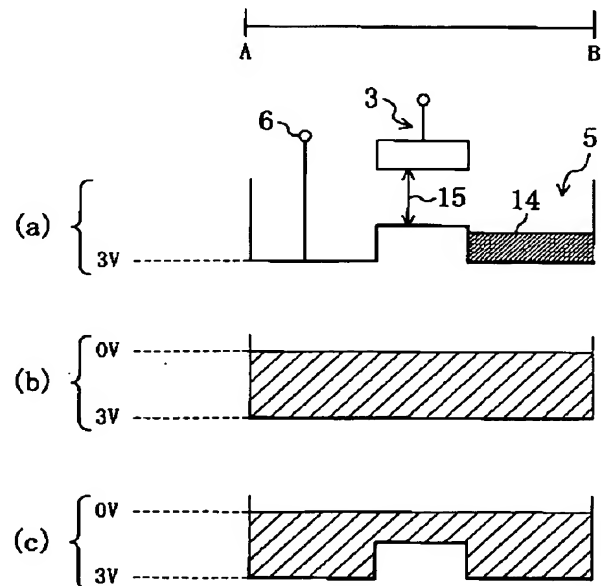
5C024 CX00 GY31

(54)【発明の名称】 固体撮像装置

(57)【要約】

【課題】 画素にフローティングディフュージョン型アンプを内蔵したMOS型センサにおいて、画素の微細化に伴いフォトダイオード(PD)1の信号電荷を蓄えるためのフローティングディフュージョン(FD)部5の容量が小さくなり、当該FD部5の電位で動作を決定し画素内アンプとして信号電荷を検出するための検出トランジスタ4のゲート電位が、周辺パルスにより変動しやすい。特に検出トランジスタ4がオフの場合、つまりFD部5が電源6のLOWレベル電圧を保持している場合に、周辺のパルスなどの影響を受けて、検出トランジスタ4がオフ状態を保てないことがある。

【解決手段】 FD部5と電源6との間にあるリセットトランジスタ3をディプレッション型とすることで、その閾値電圧(V_t)を電源6のLOWレベル電圧よりも低くする。FD部5がLOWレベル電圧を保持しているとき、電源6からFD部5へ常にLOWレベル電圧を供給できる。



【特許請求の範囲】

【請求項 1】 半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための転送トランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を一次元状又は二次元状に配列した固体撮像装置において、

前記リセットトランジスタは、前記ドレイン領域の LOW レベル電圧よりも低い閾値電圧を持つトランジスタで構成されたことを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の固体撮像装置において、前記リセットトランジスタは、ディプレッション型のトランジスタであることを特徴とする固体撮像装置。

【請求項 3】 請求項 1 又は 2 に記載の固体撮像装置において、前記リセットトランジスタの閾値電圧は、前記蓄積領域に蓄えられた信号電荷が前記ドレイン領域へ流れ出すことがないような大きさのポテンシャル障壁を前記リセットトランジスタのゲート下に形成できる電圧に設定されたことを特徴とする固体撮像装置。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置において、前記検出トランジスタの閾値電圧は、前記リセットトランジスタのゲートに LOW レベル電圧が与えられた場合の当該ゲート下のポテンシャルよりも高い電圧に設定されたことを特徴とする固体撮像装置。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 項に記載の固体撮像装置において、前記ドレイン領域の LOW レベル電圧は、前記転送トランジスタのゲートに LOW レベル電圧が与えられた場合の当該ゲート下のポテンシャルよりも高い電圧に設定されたことを特徴とする固体撮像装置。

【請求項 6】 半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための転送トランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を一次元状又は二次元状に配列した固体撮像装置において、

前記リセットトランジスタのゲートに与えられる LOW レベル電圧は、当該 LOW レベル電圧が与えられた場合

の当該リセットトランジスタのゲート下のポテンシャルが前記ドレイン領域の LOW レベル電圧よりも高い電位となるように設定されたことを特徴とする固体撮像装置。

【請求項 7】 請求項 6 記載の固体撮像装置において、前記リセットトランジスタのゲートに与えられる LOW レベル電圧は、前記蓄積領域に蓄えられた信号電荷が前記ドレイン領域へ流れ出すことがないような大きさのポテンシャル障壁を前記リセットトランジスタのゲート下に形成できる電圧に設定されたことを特徴とする固体撮像装置。

【請求項 8】 請求項 6 又は 7 に記載の固体撮像装置において、前記検出トランジスタの閾値電圧は、前記リセットトランジスタのゲートに LOW レベル電圧が与えられた場合の当該ゲート下のポテンシャルよりも高い電圧に設定されたことを特徴とする固体撮像装置。

【請求項 9】 請求項 6 ～ 8 のいずれか 1 項に記載の固体撮像装置において、

前記ドレイン領域の LOW レベル電圧は、前記転送トランジスタのゲートに LOW レベル電圧が与えられた場合の当該ゲート下のポテンシャルよりも高い電圧に設定されたことを特徴とする固体撮像装置。

【請求項 10】 半導体基板上に、各々入射光を光電変換するための光電変換領域と、前記光電変換で得られた信号電荷を読み出すための転送トランジスタと、前記読み出された信号電荷を蓄えるための蓄積領域と、前記蓄積領域の電位がゲートに加わることで前記読み出された信号電荷を検出するための検出トランジスタと、前記蓄積領域の信号電荷をリセットするためのリセットトランジスタと、前記リセットトランジスタを介して前記蓄積領域へパルス電圧を供給するためのドレイン領域とを有する複数の増幅型単位画素を一次元状又は二次元状に配列した固体撮像装置において、前記リセットトランジスタのゲートに与えられる LOW レベル電圧は、前記転送トランジスタのゲートに与えられる LOW レベル電圧よりも高い電位となるように設定されたことを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルカメラ等を使用される MOS 型の固体撮像装置に関するものである。

【0002】

【従来の技術】図 2 は、MOS トランジスタで構成された従来の固体撮像装置の一例を示している。この固体撮像装置は、半導体基板上に、各々フォトダイオード (PD) 1 と、転送トランジスタ 2 と、リセットトランジスタ 3 と、検出トランジスタ 4 と、フローティングディフュージョン (FD) 部 5 とを有する複数の増幅型単位画

素を二次元状に配列した感光領域 8 を備えた固体撮像装置であって、更にアンプ電源とリセット電源を兼ねた電源 6、信号線 7、行方向に画素を選択する垂直シフトレジスタ 9、列方向に画素を選択する水平シフトレジスタ 10、両シフトレジスタ 9、10 に必要なパルスを供給するタイミング発生回路 11 などにより構成されている。単位画素を一次元状に配列する場合もある。

【0003】PD1 で光電変換された信号電荷は、転送トランジスタ 2 により FD 部 5 に読み出される。この FD 部 5 に読み出された電荷の量により FD 部 5 の電位が決定され、検出トランジスタ 4 のゲート電圧が変化し、信号線 7 に信号電圧が取り出される。

【0004】図 3 に、単位画素の拡大平面図を示す。アンプ電源とリセット電源を兼ねるように電源 6 の配線同士は電源部アルミ配線 13 により、検出トランジスタ 4 と FD 部 5 とは FD 部アルミ配線 12 によりそれぞれ接続されている。PD1 から読み出された電荷は FD 部 5 に入り、この FD 部 5 の電位が変化する。FD 部 5 の電位は、FD 部アルミ配線 12 を介して検出トランジスタ 4 のゲート電位を変化させる。そして、検出トランジスタ 4 がソースフォロアとして動作することで信号線 7 の電位を変化させ、信号が電圧として読み出される。

【0005】図 4 (a) ~ 図 4 (c) は、図 3 中の AB 断面における、電源 6、リセットトランジスタ 3、FD 部 5 の各々のポテンシャルを表している。

【0006】図 4 (a) は、信号電荷を読み出す時の状態を示している。アンプ電源とリセット電源を兼ねた電源 6 を 3V とし、リセットトランジスタ 3 のゲートに HIGH レベル電圧を与えてオンさせることで、FD 部 5 をまず 3V にリセットする。その後、PD1 から FD 部 5 に画像となる信号電荷 14 が読み出された状態が図 4 (a) となる。このとき、リセットトランジスタ 3 のゲートには LOW レベル電圧が与えられており、FD 部 5 の電位が検出トランジスタ 4 により信号線 7 へ読み出される。

【0007】図 4 (b) は、電源 6 を 0V とし、リセットトランジスタ 3 のゲートに HIGH レベル電圧を与えてオンさせることで、FD 部 5 が 0V となった状態を示している。このとき、FD 部 5 は 0V であるため、検出トランジスタ 4 のゲート電圧も 0V となり、この検出トランジスタ 4 をオフ状態にできる。

【0008】図 4 (c) は、図 4 (b) の状態からリセットトランジスタ 3 のゲート電圧を再度 LOW レベルにした状態である。この状態では、FD 部 5 は電源 6 と切り離されている。

【0009】このようにして、図 4 (a) から図 4 (c) が各行毎に繰り返されて行毎の信号が信号線 7 に信号電圧として取り出される。

【0010】

【発明が解決しようとする課題】しかしながら、画素の

微細化が進んだ場合、図 4 (c) の状態では、FD 部 5 の容量 C が微細化により小さくなるため、周辺回路のパルスなどが動作した場合、FD 部 5 の電位が振られて 0V を確保できない場合が発生し、オフ状態であるべき検出トランジスタ 4 がオンする場合がある。この状態では、別の行の信号を検出している時に、0V である電源 6 からオフ状態となっているべき検出トランジスタ 4 の下を通り信号線 7 に擬似信号が混入し、S/N の低下をもたらすこととなる。

【0011】本発明は、上記課題を解決して、画素の微細化に伴い容量が小さくなった FD 部を安定化させることで、オフ状態となっている検出トランジスタの安定化を図り、S/N の良い固体撮像装置を提供することを目的とする。

【0012】

【課題を解決するための手段】上記目的を達成するために、本発明の固体撮像装置では、増幅型単位画素内のリセットトランジスタ 3 を、電源 6 の LOW レベル電圧よりも低い閾値電圧 (V_t) を持つトランジスタ、例えばディプレッション型のトランジスタとした。

【0013】すなわち、本発明は、半導体基板上に、各々入射光を光電変換するための光電変換領域 1 と、前記光電変換で得られた信号電荷 14 を読み出すための転送トランジスタ 2 と、前記読み出された信号電荷 14 を蓄えるための蓄積領域 5 と、前記蓄積領域 5 の電位がゲートに加わることで前記読み出された信号電荷 14 を検出するための検出トランジスタ 4 と、前記蓄積領域 5 の信号電荷 14 をリセットするためのリセットトランジスタ 3 と、前記リセットトランジスタ 3 を介して前記蓄積領域 5 へパルス電圧を供給するためのドレイン領域 6 とを有する複数の増幅型単位画素を一次元状又は二次元状に配列した固体撮像装置において、前記リセットトランジスタ 3 を、前記ドレイン領域 6 の LOW レベル電圧よりも低い閾値電圧を持つトランジスタで構成することとしたものである。

【0014】

【発明の実施の形態】以下、本発明の実施形態に係る固体撮像装置について説明する。その全体構成図は図 2 のとおりであり、単位画素の拡大平面図は図 3 のとおりである。

【0015】図 1 (a) ~ 図 1 (c) は、本実施形態における、電源 6、リセットトランジスタ 3、FD 部 5 の各々のポテンシャルを表している。本実施形態では、リセットトランジスタ 3 はディプレッション型であり、その閾値電圧 (V_t) がマイナスとなっている。

【0016】図 1 (a) は、信号電荷を読み出す時の状態を示している。アンプ電源とリセット電源を兼ねた電源 6 を 3V とし、リセットトランジスタ 3 のゲートに HIGH レベル電圧を与えてオンさせることで、FD 部 5 をまず 3V にリセットする。その後、PD1 から FD 部

5に画像となる信号電荷14が読み出された状態が図1(a)となる。このとき、リセットトランジスタ3のゲートにはLOWレベル電圧が与えられており、FD部5の電位が検出トランジスタ4により信号線7へ読み出される。ここで、画像となる信号電荷14がFD部5から電源6に洩れ出すことが極力ないように当該リセットトランジスタ3の閾値電圧(V_t)が設定されている。ただし、電子シャッタなどの余剰電荷は洩れ出すレベルであつてもかまわない。図4(a)と同様に、FD部5の信号電荷14を電圧変換する検出トランジスタ4のゲインは高い状態である。

【0017】図1(b)は、電源6を0Vとし、リセットトランジスタ3のゲートにHIGHレベル電圧を与えてオンさせることで、FD部5が0Vとなった状態を示している。このとき、FD部5は0Vであるため、検出トランジスタ4のゲート電圧も0Vとなり、この検出トランジスタ4をオフ状態にできる。この状態は、図4(b)と同様の状態である。

【0018】図1(c)は、図1(b)の状態からリセットトランジスタ3のゲート電圧を再度LOWレベルにした状態である。本実施形態では、リセットトランジスタ3はディプレッション型であり、その閾値電圧(V_t)がマイナスとなっているため、リセットトランジスタ3のゲート下のポテンシャル15はプラス電位となっている。このとき電源6が0Vであれば、FD部5が電源6から切り離されていない状態となっているため、FD部5の容量Cは見かけ上大きくなっている。これにより、FD部5が0Vの場合、周辺回路のパルスなどが動作してもFD部5の電位の振れが小さく0Vを安定して確保でき、検出トランジスタ4のオフ状態を維持できる。つまり、ある行の信号を検出している時に、ノイズにより別の行の検出トランジスタ4がオンすることが無くなり、別の行の擬似信号が信号線7に混入する現象を防止できて、高いS/Nの画像を実現できることとなる。

【0019】以上説明したように、本実施形態では、リセットトランジスタ3がディプレッション型でありその閾値電圧(V_t)がマイナスとなっているため、FD部5を安定して0Vとすることができる。これにより、電源6から信号線7に混入する擬似信号を防ぐことができ、高S/Nを実現することができる。その結果、高感度、高画質の固体撮像装置を提供できる。

【0020】電源6にプラス電圧のノイズが入ることで電源6のLOWレベルがプラス電位になった時でもFD部5の電位が検出トランジスタ4の閾値電圧よりも高くないようにするためには、検出トランジスタ4の閾値電圧は、リセットトランジスタ3のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャル15よりも高い電圧に設定する。

【0021】また、電源6からPD1への電子の注入を

防ぐためには、電源6のLOWレベル電圧は、転送トランジスタ2のゲートにLOWレベル電圧が与えられた場合の当該ゲート下のポテンシャルよりも高い電圧に設定する。

【0022】なお、上記実施形態はリセットトランジスタ3がディプレッション型の場合を示したが、リセットトランジスタ3がディプレッション型でない場合でも、リセットトランジスタ3のLOWレベル電圧をリセットトランジスタ3の閾値電圧以上のプラス電圧状態にして、リセットトランジスタ3のゲート下のポテンシャル15をプラス電位にする場合も、同様の効果が得られる。このとき、電源6からPD1への電子の注入を防ぐためには、図5(c)に示すように、リセットトランジスタ3のゲートLOWレベル電圧を転送トランジスタ2のゲートのLOWレベル電圧よりも高く設定する。

【0023】また、上記実施形態は電源6のLOWレベル電圧が0Vである場合を示したが、当該LOWレベル電圧が検出トランジスタ4の閾値電圧よりも低い場合、同様の効果がある。

【0024】また、上記実施形態はトランジスタがN型MOSの場合を示したが、トランジスタがP型MOSの場合も同様な原理で動作させることで、同様な効果を実現できる。

【0025】また、上記実施形態は3個のトランジスタを持つ増幅型単位画素の例であるが、図6に示すように、図3に更に行選択トランジスタ16などを追加した、4個以上のトランジスタを持つ増幅型単位画素においても同様な効果がある。

【0026】

【発明の効果】以上説明してきたとおり、本発明によれば、増幅型単位画素内のリセットトランジスタを、例えば電源のLOWレベル電圧よりも低い閾値電圧を持つディプレッション型のトランジスタとしたので、オフ状態となっている検出トランジスタの安定化を図ることができ、特に画素の高感度、高画質の要請に沿いながら、MOS型の固体撮像装置の性能向上が可能となり、産業上極めて有用である。

【図面の簡単な説明】

【図1】(a)～(c)は、本発明に係る固体撮像装置の画素ポテンシャル図である。

【図2】従来の固体撮像装置の一例を示す全体構成図である。

【図3】図2中の単位画素の拡大平面図である。

【図4】(a)～(c)は、図3中のAB断面における従来の画素ポテンシャル図である。

【図5】(a)～(c)は、図1(a)～図1(c)の変形例を示す画素ポテンシャル図である。

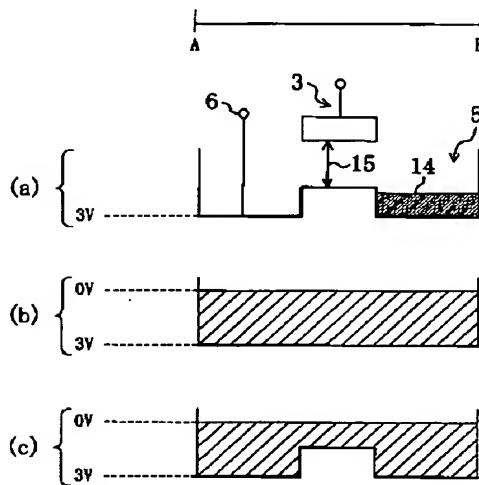
【図6】図3の変形例を示す単位画素の拡大平面図である。

【符号の説明】

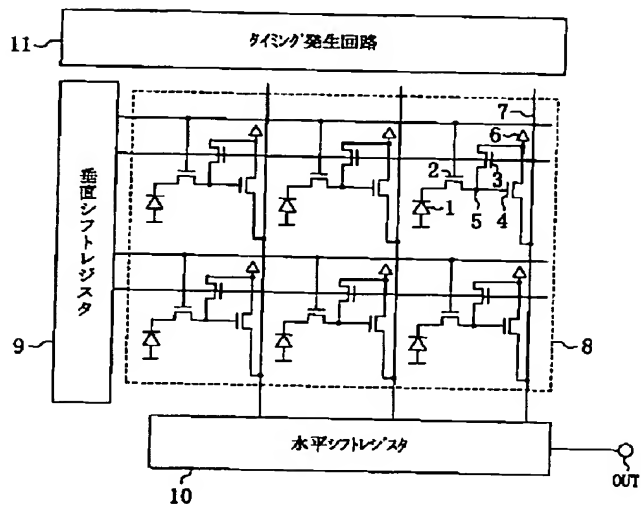
- 7
- 1 フォトダイオード (PD) [光電変換領域]
 - 2 転送トランジスタ
 - 3 リセットトランジスタ
 - 4 検出トランジスタ
 - 5 フローティングディフュージョン (FD) 部 [蓄積領域]
 - 6 アンプ電源とリセット電源を兼ねた電源 [ドレイン領域]
 - 7 信号線

- 8 感光領域
- 9 垂直シフトレジスタ
- 10 水平シフトレジスタ
- 11 タイミング発生回路
- 12 FD部アルミ配線
- 13 電源部アルミ配線
- 14 信号電荷
- 15 リセットトランジスタのゲート下のポテンシャル
- 16 行選択トランジスタ

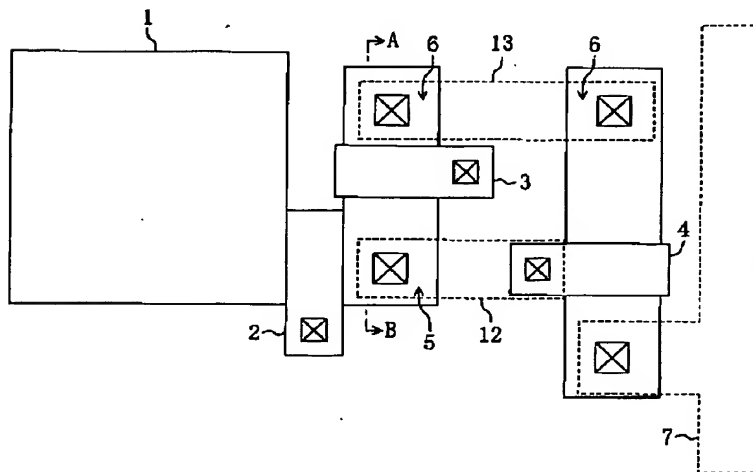
【図1】



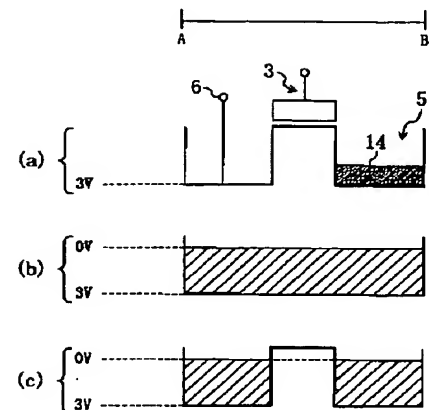
【図2】



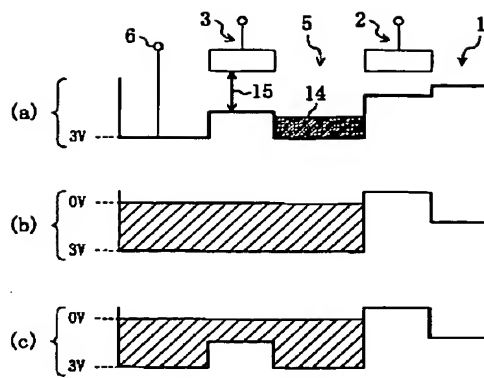
【図3】



【図4】



【図5】



【図6】

